

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-150263

(43)公開日 平成5年(1993)6月18日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
G 0 9 F 9/30	3 3 8	7926-5G		

審査請求 未請求 請求項の数1(全 7 頁)

(21)出願番号 特願平3-315815

(22)出願日 平成3年(1991)11月29日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 浅井 義裕

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

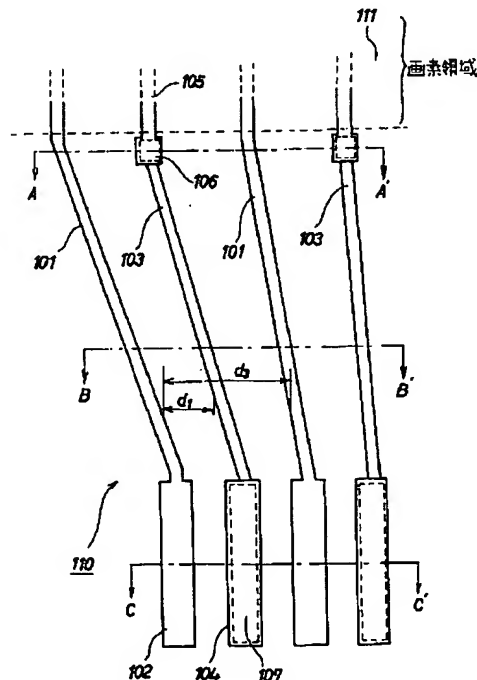
(74)代理人 弁理士 須山 佐一 (外1名)

(54)【発明の名称】 アクティブマトリックス型液晶表示素子

(57)【要約】

【目的】 接続パッドおよび配線の間隔を狭小化して画素の高密度化や高画素数化を実現し、かつ製造歩留まりを向上したアクティブマトリックス型液晶表示素子を提供する。

【構成】 偶数列の信号線の接続配線103が第1の配線層に、また奇数列の信号線の接続配線101が第2の配線層に配設されている。そして第1の配線層と第2の配線層とは絶縁層108で絶縁されている。このように、2つの配線層に配線が分配されて配設されているので、一つの配線層あたりに配設された配線の本数は、従来のように1層だけに配設された配線と比べて半分の本数となり、その配線間隔d3は2倍の広さとなる。こうして接続配線の製造工程における短絡不良や断線不良の発生率が激減し、製造歩留まりが大幅に向上する。



【特許請求の範囲】

【請求項1】 駆動回路接続用の接続パッドと、マトリックス状に交差して配置され前記駆動回路接続用の接続パッドに接続配線を介して接続する複数本の走査線および複数本の信号線と、前記走査線および前記信号線に接続するスイッチング素子と、前記スイッチング素子に接続する画素電極とが配置されたアクティブ素子基板と、前記画素電極に対向する対向電極が配設された対向基板と、前記アクティブ素子基板と前記対向基板との間に挟持される液晶組成物とを有するアクティブマトリックス型液晶表示素子において、前記走査線に接続される前記接続配線と前記信号線に接続される前記接続配線のうち少なくとも一方を、一本ごとあるいは複数本ごとに絶縁層を介して異なる層に配置してなることを特徴とするアクティブマトリックス型液晶表示素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はアクティブマトリックス型液晶表示素子に関するもので、高精細な画素およびその配線を有する場合において特に有効である。

【0002】

【従来の技術】近年、液晶表示素子の分野において、高精細なテレビ表示や大画面なグラフィックディスプレイ等を実現すべく、アクティブマトリックス型液晶表示素子の開発が盛んに行なわれ、一部では既に実用化されたものもある。

【0003】このアクティブマトリックス型液晶表示素子には、各画素の駆動の制御を行なうための手段として半導体からなるスイッチング素子を用いている。この半導体スイッチング素子は、通常、各画素につき1個ずつ配設されており、外部駆動回路との接続のための走査線および信号線が1本ずつ配線される。

【0004】このようなスイッチング素子や走査線や信号線などは、通常、透過型表示が可能で大面積化も容易であるなどの理由から、スイッチング素子にはTFT（薄膜トランジスタ）を、また走査線や信号線などの配線にはITOなどの透明導電膜を用いて、ガラスなどの透明絶縁基板上に成膜やエッチングなどフォトリソレーションによってパターン形成されて配設される。

【0005】上記のようなアクティブマトリックス型液晶表示素子の構造を図4に示す。

【0006】このアクティブマトリックス型液晶表示素子は、透明絶縁基板401上にTFT402と透明導電膜からなる画素電極403と走査線や信号線などの接続配線404が配設されたアクティブ素子基板405と、このアクティブ素子基板405に対向して設けられる透明導電膜からなる対向電極406が全面に配設された対向基板407と、液晶組成物408とを有し、アクティブ素子基板405と対向基板407とを平行に対向させ

て配置しこれらの基板間に液晶組成物408を挟持させ、この基板の周囲を封着剤409で封着して形成されている。

【0007】そして図5に示すように、前述の走査線や信号線などの接続配線404は、画素領域外の周辺部分に設けられ、その先端部に配設された接続パッド410にて外部の液晶ドライバLSIのような駆動回路に接続される。またアクティブ素子基板405の同図D-D'における断面を図6に示す。

【0008】画素領域501から引き出された接続配線404とこれに連なる接続パッド410は、絶縁基板603のゲート絶縁膜602上に1層に列設される。

【0009】しかしながら、このような液晶表示素子においては、接続される駆動回路としての液晶ドライバLSIにこの接続パッドを接続しなくてはならないため、液晶ドライバLSIの1個あたりの出力ピン数である120本から240本程度のパッドを1グループにまとめ、またこれらのパッド間の間隔およびこれに接続される接続配線404の間隔d1を、液晶ドライバLSIの出力ピン間隔に合わせて画素領域内の信号線502の間隔d2よりも狭く寄せて配設しなければならない。

【0010】そして近年、テレビやグラフィックディスプレイ等の高精細な表示を実現するために液晶表示素子の画素の高密度化や高画素数化が要請されており、これに対応するために駆動回路としての液晶ドライバLSIの出力ピン数はますます増加し、またそのピン間隔は、例えばTAB（テープオートメーテッドボンディング）実装方式の液晶ドライバLSIでは390μm程度、COB（チップオンボード）方式の液晶ドライバLSIでは100μm程度というように、ますます狭小化する傾向にある。そしてそのような液晶ドライバLSIの出力ピンに接続される接続パッド410およびこれに接続される接続配線404の間隔d1もますます狭小化されなければならない。特に接続配線404は、接続パッド410よりもかなり長かつ線幅が細い。

【0011】しかしながら、このように接続パッド410の間隔およびこれに接続される配線404の間隔d1の狭小化にともなって、アクティブ素子基板405を製造するフォトリソレーションの工程において、隣接配線間での塵埃などに起因した短絡不良503や断線不良504が特に接続配線404に多発するという問題が顕著になってきた。そしてこれはアクティブ素子基板405の製造歩留まりの低下の大きな原因になっている。

【0012】

【発明が解決しようとする課題】本発明はこのような問題を解決するために成されたもので、その目的は、接続パッドの間隔の狭小化にともなって発生する信号線や走査線の接続配線における隣接配線間での短絡不良や断線不良の問題を解消して、製造歩留まりの低下なくして接続パッドの間隔を狭小化し画素の高密度化や高画素数化

を実現するアクティブマトリックス型液晶表示素子を提供することにある。

【0013】

【課題を解決するための手段】本発明のアクティブマトリックス型液晶表示素子は、駆動回路接続用の接続パッドと、マトリックス状に交差して配置され前記駆動回路接続用の接続パッドに接続配線を介して接続する複数本の走査線および複数本の信号線と、前記走査線および前記信号線に接続するスイッチング素子と、前記スイッチング素子に接続する画素電極とが配置されたアクティブ素子基板と、前記画素電極に対向する対向電極が配設された対向基板と、前記アクティブ素子基板と前記対向基板との間に挟持される液晶組成物とを有するアクティブマトリックス型液晶表示素子において、前記走査線に接続される前記接続配線と前記信号線に接続される前記接続配線のうち少なくとも一方を、一本ごとあるいは複数本ごとに絶縁層を介して異なる層に配置してなることを特徴としている。

【0014】

【作用】複数本の走査線の接続配線および複数本の信号線の接続配線が、それぞれ隣接する2本の接続配線のうち一方は第1の配線層に、また他方は第2の配線層に配設されている。たとえば偶数番目の走査線の接続配線が第1の配線層に配設され、その上に絶縁層を介して第2の配線層として奇数番目の走査線の接続配線が配設されている。そして第1の配線層と第2の配線層とは前述の絶縁層で絶縁されている。このように、2層の配線層に配線が分配されて配設されているので、一つの配線層あたりに配設された接続配線の配線間隔は、従来のように一層だけに配設された接続配線の配線間隔と比べて2倍となる。

【0015】このように従来よりも2倍の接続配線の配線間隔を有することによって、本発明のアクティブマトリックス型液晶表示素子はそのアクティブ素子基板の接続配線の製造工程における短絡不良や断線不良の発生率を激減させて、製造歩留まりを大幅に向上させることができる。

【0016】

【実施例】以下、本発明のアクティブマトリックス型液晶表示素子の一実施例を図面に基いて詳細に説明する。ここでは特に本発明の要点であるアクティブ素子基板に的を絞って説明する。

【0017】図1は本発明のアクティブマトリックス型液晶表示素子の信号線の接続配線およびこれに接続された接続パッドを示す平面図である。

【0018】また同図のA-A'、B-B'、C-C'における断面をそれぞれ図2(a)、図2(b)、図2(c)に示す。

【0019】図1に示すように、本発明のアクティブマトリックス型液晶表示素子は、そのアクティブ素子基板

110上の周辺部、即ち画素領域の外部に、奇数列の信号線の接続配線101とこれに接続する奇数列の接続パッド102と、偶数列の信号線の接続配線103とこれに接続する偶数列の接続パッド104と、この偶数列の信号線の接続配線103に画素領域111から外に伸びる偶数列の信号線105を接続するスルーホール106と、偶数列の接続パッド104を接続するスルーホール107とを有している。

【0020】そして図2(b)の断面図に示すように、この偶数列の信号線の接続配線103が絶縁基板100の表面上に第1の配線層として、また第1の配線層の上層に絶縁層108を介して奇数列の信号線の接続配線101が第2の配線層として配設されている。

【0021】偶数列の信号線の接続配線103は、このように絶縁基板100上に第1の配線層として配設されているが、これに接続されるべき画素領域から外に伸びる偶数列の信号線105および偶数列の接続パッド104は第2の配線層に配設されている。そこでこれらを図2(a)に示すようなスルーホール106および図2(c)に示すようなスルーホール107を設けることで絶縁層108を貫通して信号線の接続配線103に接続している。

【0022】一方、走査線の接続配線もこの信号線と同様に2層に配線されている。

【0023】このように、本発明のアクティブマトリックス型液晶表示素子の走査線や信号線の接続配線は2層に形成されていることで、各配線層における隣接する配線の間隔が図1および図2(b)に示すd3のようになり、従来技術の配線のような全配線が平面的に列設されるときの間隔d1と比べて約2倍の幅となる。

【0024】このような構成により、本発明のアクティブマトリックス型液晶表示素子はその接続配線の製造工程における短絡不良の発生率が1/2程度に減少し、その製造歩留まりは大幅に向上する。

【0025】次に、本発明のアクティブマトリックス型液晶表示素子の製造方法を、工程を追って説明する。

【0026】図3は本発明のアクティブマトリックス型液晶表示素子のアクティブ素子基板の製造工程を示す図である。

【0027】まず、図3の(1)に示すように、ガラスのような絶縁材料からなる絶縁基板100上に第1の配線層として偶数列の信号線の接続配線103を配設する。この偶数列の信号線の接続配線103の隣接配線どうしの間隔は前述したように従来の配線の間隔の2倍になっているので、製造工程におけるその短絡不良の発生する確率は1/2程度となる。またこのとき画素領域内においてはTFTのゲート電極201および走査線202が配設される。

【0028】次に図3の(2)に示すように、前述の偶数列の信号線の接続配線103の上に絶縁層108を形

成する。

【0029】そしてこの絶縁層108の上に、画素領域内においては図3の(3)、(4)に示すようにa-Si(アモルファスシリコン)層などからなるTFTスイッチング素子203、画素電極204を形成する。そして画素領域の外部、即ちアクティブ素子基板110の周辺部においては、図2の(5)に示すように、前述の偶数列の信号線の接続配線103の画素領域からの信号線105との接続部分および偶数列の接続パッド104との接続部分の上の絶縁層にスルーホール106、107を穿設する。このとき走査線側(図示省略)では、走査線の接続配線に配設された接続パッド上の絶縁層に開口が穿設され、走査線側の接続パッドがアクティブ素子基板110の絶縁層の表面に露出して、外部の液晶駆動回路の接続ピンと接続可能の状態になる。このような接続パッド上の絶縁層に開口を穿設する工程は、既に従来技術にも存在しているので、この開口の穿設と同じ工程内でスルーホール106、107を穿設することができる。即ちこのようなスルーホール106、107を穿設する工程を別に付加する必要はない。

【0030】次に、図2の(6)に示すように、絶縁層108の上に第2の配線層として画素領域内では信号線205を、また画素領域外では奇数列の信号線の接続配線101と、画素領域から伸びる偶数列の信号線105と、偶数列の接続パッド104とを配設する。そしてこの画素領域から外に伸びた偶数列の信号線105はスルーホール106によって、また偶数列の接続パッド104はスルーホール107によって、偶数列の信号線の接続配線103に接続するように配設する。

【0031】この第2の配線層に配設された奇数列の信号線の接続配線101の隣接する接続配線どうしの間隔は前述したように従来の接続配線の間隔の2倍なので、その短絡不良の発生の確率は1/2程度となる。また断線不良の発生の確率も大幅に減少する。

【0032】このように、本発明のアクティブマトリックス型液晶表示素子は、絶縁基板100上に第1の配線層として偶数列の信号線の接続配線103を配設し、その上に絶縁層108を介して第2の配線層として奇数列の信号線の接続配線101を配設し、従来では絶縁基板上に1層に配設していた接続配線を上下2層に分配して配設することで、各層ごとの隣接する接続配線の間隔を従来の2倍にとることができる。

【0033】一方、走査線側についても同様に、接続配線を上下2層に分配して配設して、その各層ごとの隣接する接続配線の間隔を従来の2倍にとることができる。

【0034】これにより、その接続配線の製造工程における短絡不良や断線不良の発生率を大幅に減少させ製造歩留まりを飛躍的に向上させることができる。

【0035】しかも、信号線および走査線の、このような2層に形成された接続配線は、上述の説明からも判るように、画素領域内における信号線と走査線とを絶縁層を介して上下2層に配設するような従来技術に係る製造方法を画素領域外にも応用して、その接続配線やスルーホールのパターン形態を変更するだけでよく、従来のフォトリソレーション技術による成膜やエッチングなどによる製造工程をそのまま用いることができる。

【0036】従って信号線および走査線の接続配線をこのように2層に形成するための特別な工程を従来の工程に付加することなく製造歩留まりが大幅に向上するので、製造コストは飛躍的に低廉化される。

【0037】

【発明の効果】以上詳細に説明したように、本発明のアクティブマトリックス型液晶表示素子は、信号線および走査線の接続配線における隣接配線間での短絡不良や断線不良の問題を解消して、接続パッドの間隔の狭小化を実現しかつ製造歩留まりの向上を実現することにより、液晶表示素子の画素の高密度化や高画素数化を実現しながら製造コストの飛躍的な低廉化をも実現したアクティブマトリックス型液晶表示素子である。

【図面の簡単な説明】

【図1】本発明のアクティブマトリックス型液晶表示素子の信号線の接続配線およびこれに接続された接続パッドを示す平面図。

【図2】本発明のアクティブマトリックス型液晶表示素子のアクティブ素子基板の断面図。

【図3】本発明のアクティブマトリックス型液晶表示素子のアクティブ素子基板の製造工程を示す図。

【図4】従来のアクティブマトリックス型液晶表示素子の構造を示す断面図。

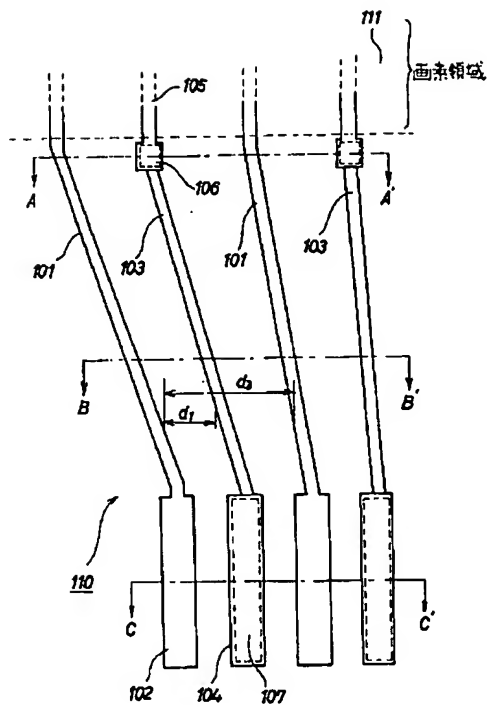
【図5】従来のアクティブマトリックス型液晶表示素子の信号線の接続配線およびこれに接続された接続パッドを示す平面図。

【図6】本発明のアクティブマトリックス型液晶表示素子のアクティブ素子基板の断面図。

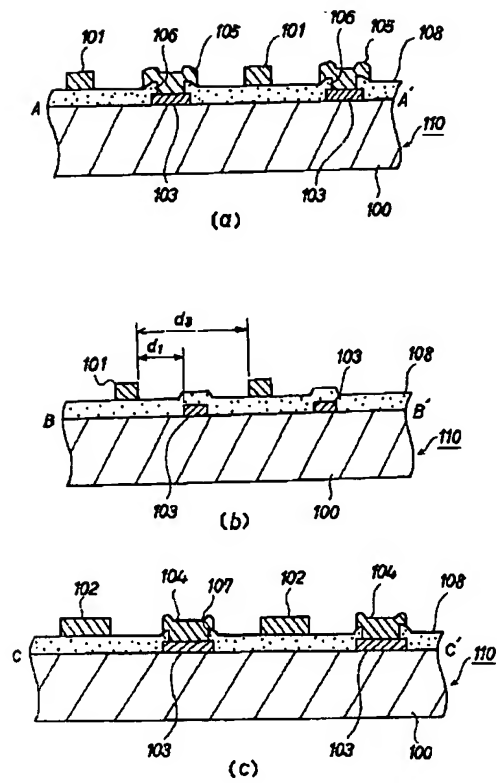
【符号の説明】

100……………絶縁基板
101……………奇数列の信号線の接続配線
102……………奇数列の接続パッド
103……………偶数列の信号線の接続配線
104……………偶数列の接続パッド
105……………画素領域から外に伸びる偶数列の信号線
106、107…スルーホール
108……………絶縁層
110……………アクティブ素子基板

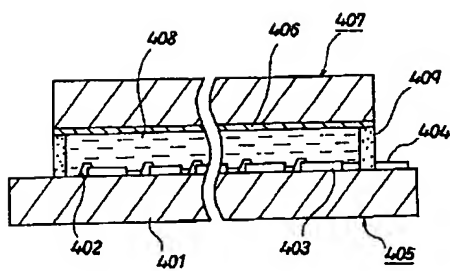
【図1】



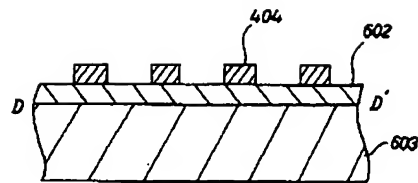
【図2】



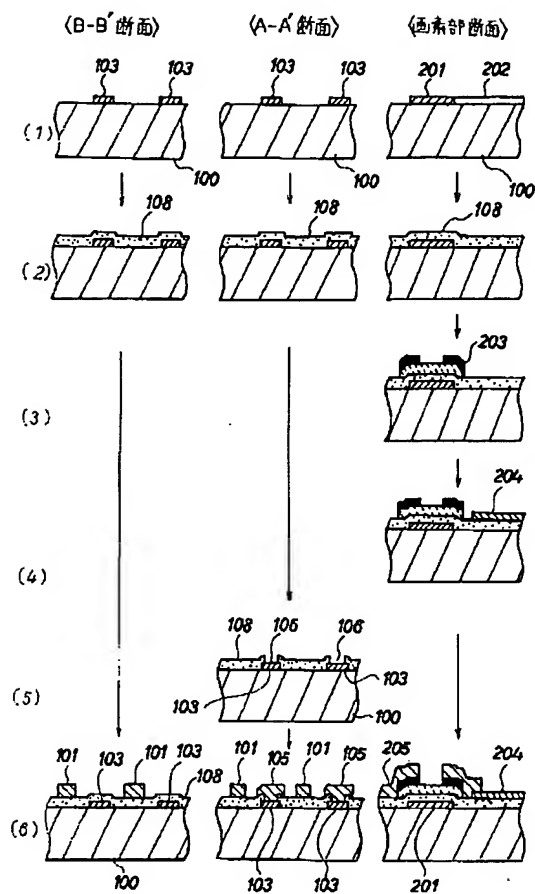
【図4】



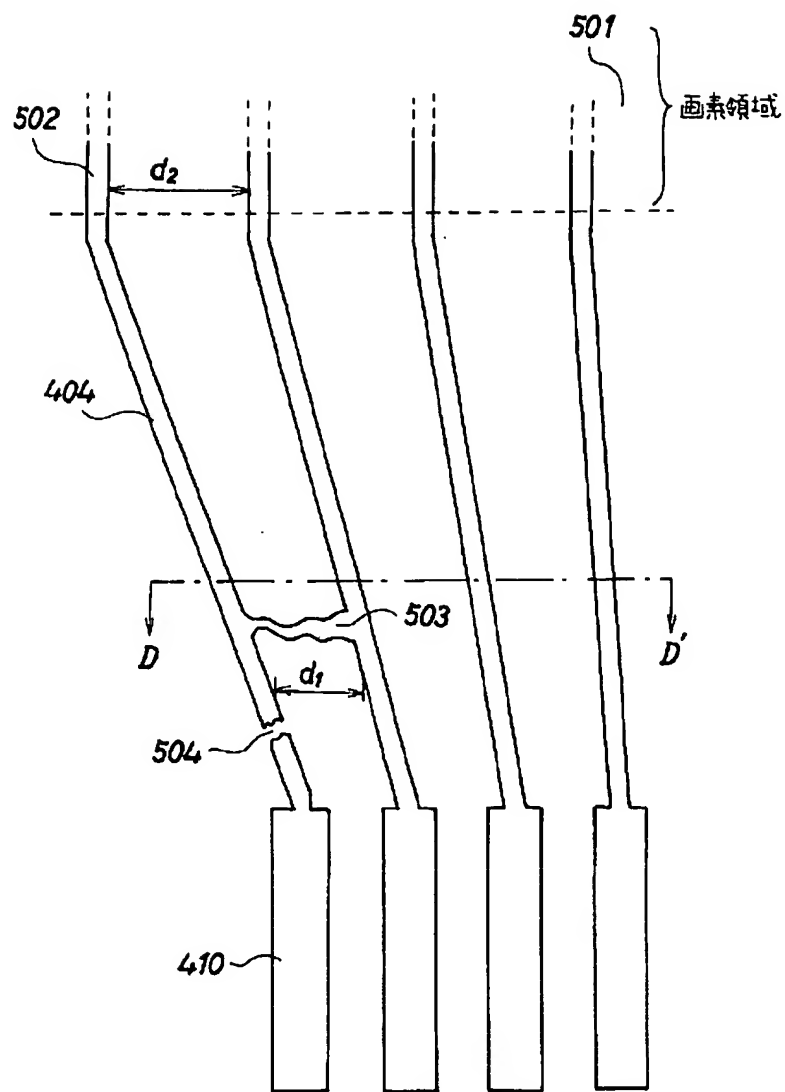
【図6】



【図3】



【図5】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-150263

(43)Date of publication of application : 18.06.1993

(51)Int.Cl.

G02F 1/136
G09F 9/30

(21)Application number : 03-315815

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.11.1991

(72)Inventor : ASAI YOSHIHIRO

(54) ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY ELEMENT

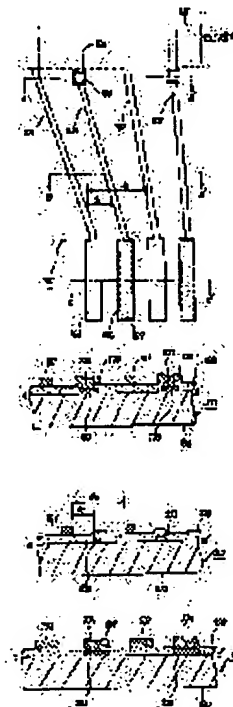
(57)Abstract:

PURPOSE: To provide the active matrix type liquid crystal display element which enables picture elements to be increased in density and number by narrowing down intervals of connection pads and electric conductors and is improved in manufacture yield.

CONSTITUTION: Connection electric conductors 103 of signal lines in even columns are arranged in a 1st wiring layer and connection electric conductors 101 of signal lines in odd columns are arranged in a 2nd wiring layer.

The 1st wiring layer and 2nd wiring layer are insulated by an insulation layer 108. Thus, the electric conductors are distributed and arranged in the two wiring layers, so the number of electric conductors arranged in each wiring layer is a half as large as the number of electric

conductors which are arranged in only one layer as before and the electric conductor intervals d3 are doubled. Thus, the occurrence rate of a short-circuit defect and an open-circuit defect in the manufacture process of the connection electric conductors is decreased to greatly improve the manufacture yield.



DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The top view showing the connection pad connected to connection wiring and this of the signal line of the active-matrix mold liquid crystal display component of this invention.

[Drawing 2] The sectional view of the active component substrate of the active-matrix mold liquid crystal display component of this invention.

[Drawing 3] Drawing showing the production process of the active component substrate of the active-matrix mold liquid crystal display component of this invention.

[Drawing 4] The sectional view showing the structure of the conventional active-matrix mold liquid crystal display component.

[Drawing 5] The top view showing the connection pad connected to connection wiring and this of the signal line of the conventional active-matrix mold liquid crystal display component.

[Drawing 6] The sectional view of the active component substrate of the active-matrix mold liquid crystal display component of this invention.

[Description of Notations]

100 Insulating substrate

101 Connection wiring of the signal line of an odd number train

102 Connection pad of an odd number train

103 Connection wiring of the signal line of an even number train

104 Connection pad of an even number train

105 Signal line of the even number train extended outside from a pixel field

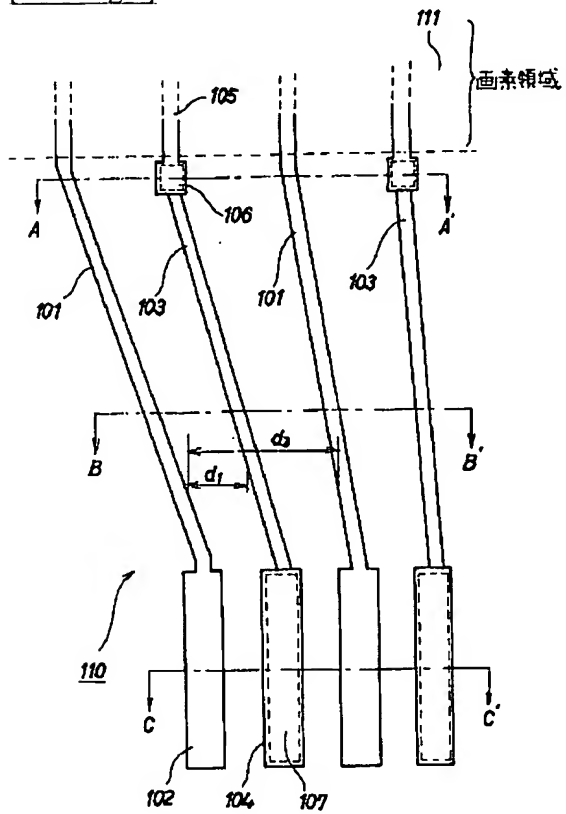
106 107 -- Through hole

108 Insulating layer

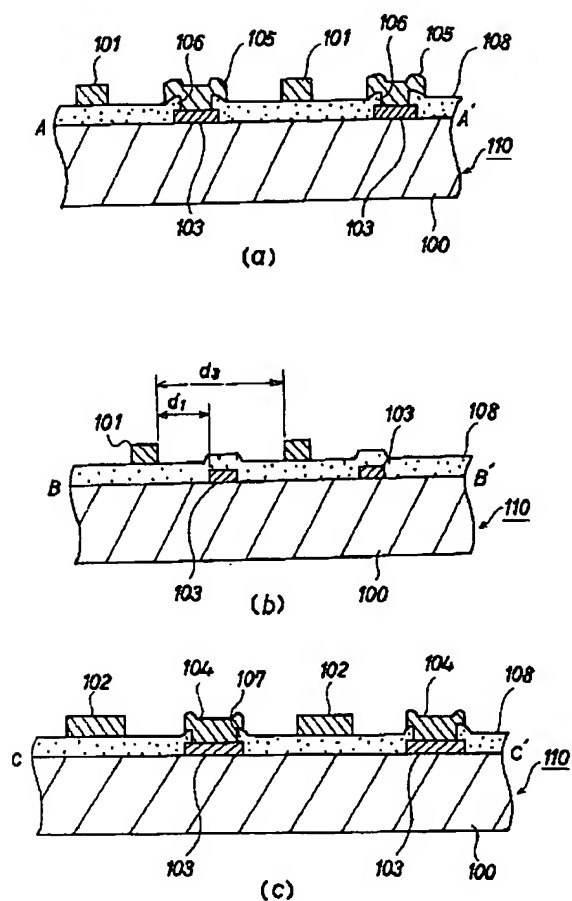
110 Active component substrate

DRAWINGS

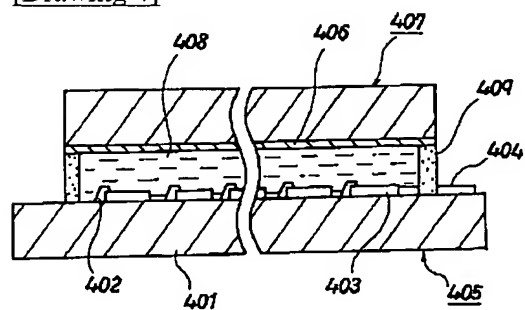
[Drawing 1]



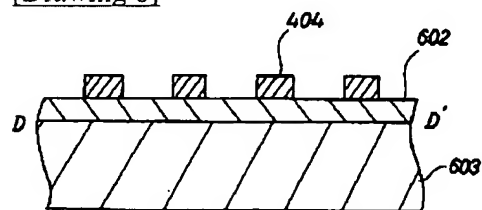
[Drawing 2]



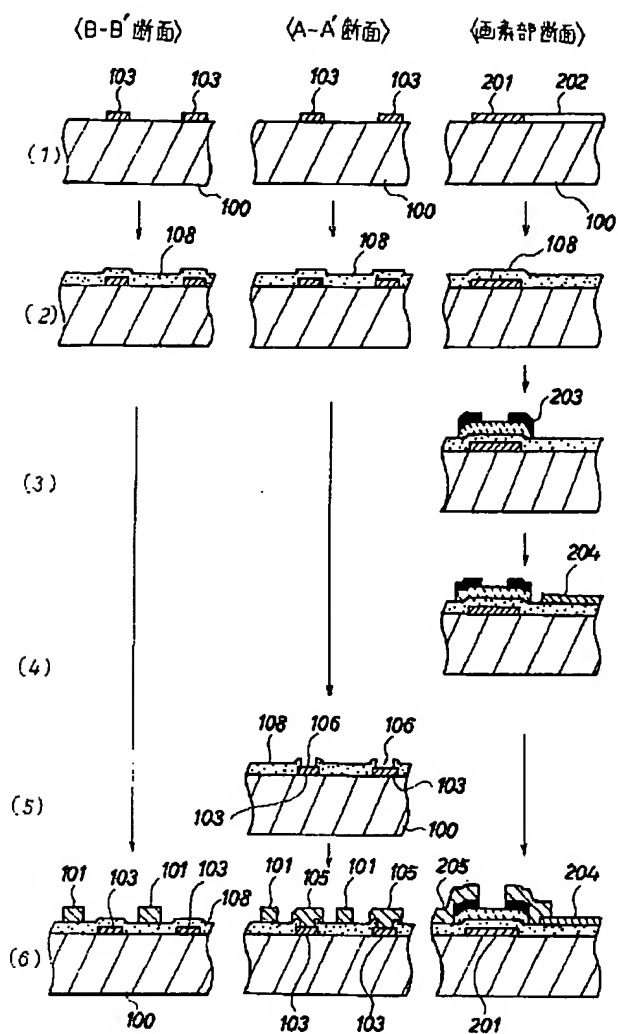
[Drawing 4]



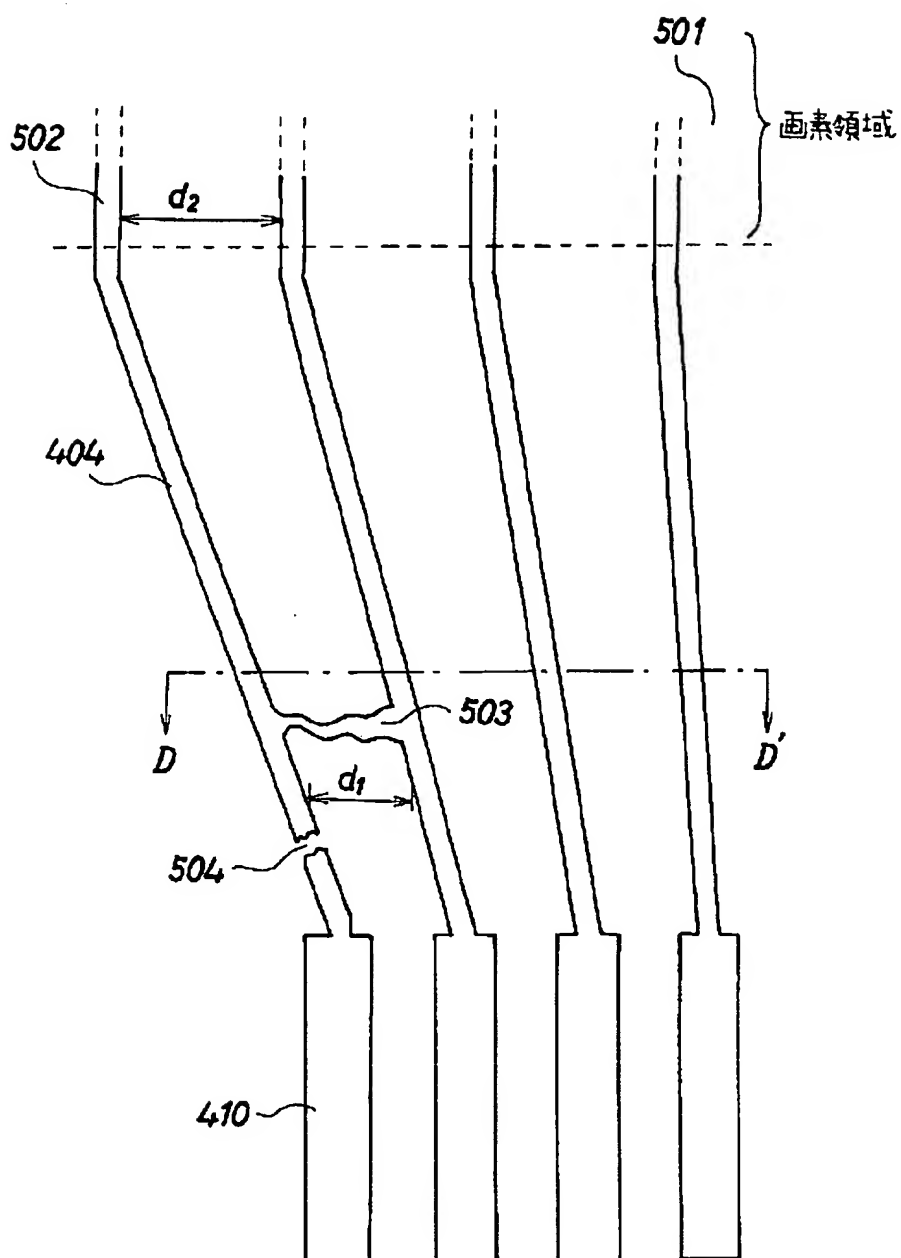
[Drawing 6]



[Drawing 3]



[Drawing 5]



DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention is especially effective when it has a high definition pixel and its wiring about an active-matrix mold liquid crystal display component.

[0002]

[Description of the Prior Art] In recent years, that high definition television display, big screen graphic display, etc. should be realized in the field of a liquid crystal display component, development of an active-matrix mold liquid crystal display component is performed briskly, and, partly, there are some which were already put in practical use.

[0003] The switching element which consists of a semi-conductor as a means for controlling the drive of each pixel is used for this active-matrix mold liquid crystal display component. This solid-state-switching component is usually per each pixel. One piece is arranged at a time and the scanning line and the signal line for connection with an external drive circuit One is wired at a time.

[0004] a transparency mold display is possible for such a switching element, the scanning line, a signal line, etc., and large-area-izing is also usually easy for them -- etc. -- the switching element from a reason -- TFT (thin film transistor) -- moreover, using transparence electric conduction film, such as ITO, on transparence insulating substrates, such as glass, pattern formation is carried out by photofabrication, such as membrane formation and etching, and it is arranged by wiring of the scanning line, a signal line, etc. by it.

[0005] The structure of the above active-matrix mold liquid crystal display components is shown in drawing 4.

[0006] This active-matrix mold liquid crystal display component The active component substrate 405 with which the pixel electrode 403 and the connection wiring 404 of the scanning line, a signal line, etc. which consist of TFT402 and transparence electric conduction film were arranged on the transparence insulating substrate 401, The opposite substrate 407 with which the counterelectrode 406 which consists of transparence electric conduction film which counters this active component substrate 405 and is prepared was arranged in the whole surface, Have the liquid crystal constituent 408, the active component substrate 405 and the opposite substrate 407 are made to counter in parallel, and it arranges, and among these substrates, the liquid crystal constituent 408 is made to pinch, and the perimeter of this substrate is sealed in the sealing agent 409, and it is formed.

[0007] And as shown in drawing 5, the connection wiring 404 of the above-mentioned scanning line, a signal line, etc. is formed in the circumference part outside a pixel field, and is connected to a drive circuit like the external liquid crystal driver LSI with the connection pad 410 arranged by the point. Moreover, the cross section in this drawing D-D' of the active component substrate 405 is shown in drawing 6.

[0008] The connection pad 410 which stands in a row in the connection wiring 404 pulled out from the pixel field 501 and this is on the gate dielectric film 602 of an insulating substrate 603. It is installed successively by one layer.

[0009] However, it sets for such a liquid crystal display component. In order to have to connect this connection pad to the liquid crystal driver LSI as a drive circuit connected, Liquid crystal driver LSI It is the number of output pins per piece. From 120 About 240 pads It collects into one group. Moreover, spacing d1 of the connection wiring 404 connected to spacing between these pads, and this It doubles with output pin spacing of the liquid crystal driver LSI, and is the spacing d2 of the signal line 502 in a pixel field. It must bring near narrowly and must arrange.

[0010] And in order to realize the high definition display of television, graphic display, etc. in recent years, the densification of the pixel of a liquid crystal display component and high pixel number-ization are demanded. Since it corresponds to this, the number of output pins of the liquid crystal driver LSI as a drive

circuit increases increasingly. Moreover, the pin spacing With the liquid crystal driver LSI of for example, a TAB (tape automation TEDDO bonding) mounting method With the liquid crystal driver LSI of about 390 micrometers and a COB (chip onboard) method It is in the inclination narrow-sized increasingly like about 100 micrometers. And spacing d1 of the connection wiring 404 connected to the connection pad 410 and this which are connected to the output pin of such a liquid crystal driver LSI It must no longer be narrow-sized increasingly. Especially the connection wiring 404 has quite longer [than the connection pad 410] thin line breadth.

[0011] However, spacing d1 of the wiring 404 connected to spacing of the connection pad 410, and this in this way The problem that especially the poor short circuits 503 and the poor open circuits 504 resulting from the dust during contiguity wiring etc. occur frequently to the connection wiring 404 with narrow-izing in the process of the photofabrication which manufactures the active component substrate 405 is becoming remarkable. And this is the big cause of a fall of the manufacture yield of the active component substrate 405.

[0012]

[Problem(s) to be Solved by the Invention] It is for providing about the active-matrix mold liquid crystal display component which it accomplished in order that this invention may solve such a problem, and the purpose solves the problem of the poor short circuit during contiguity wiring in connection wiring of a signal line or the scanning line generated with narrow-izing of spacing of a connection pad, and a poor open circuit, makes the fall of the manufacture yield there be nothing, narrow-izes spacing of a connection pad, and realizes in the densification of a pixel, or high pixel number-ization.

[0013]

[Means for Solving the Problem] The active-matrix mold liquid crystal display component of this invention The connection pad for drive circuit connection, two or more scanning lines which cross in the shape of a matrix, are arranged, and connect with the connection pad for said drive circuit connection through connection wiring, and two or more signal-lines ****, The active component substrate with which the switching element linked to said scanning line and said signal line and the pixel electrode linked to said switching element have been arranged, In the active-matrix mold liquid crystal display component which has the liquid crystal constituent pinched between the opposite substrate with which the counterelectrode which counters said pixel electrode was arranged, and said active component substrate and said opposite substrate It is characterized by coming to arrange at least one side in a layer which is different through an insulating layer two or more [every / every] among said connection wiring connected to said connection wiring connected to said scanning line, and said signal line.

[0014]

[Function] Connection wiring of two or more scanning lines and connection wiring of two or more signal lines adjoin, respectively. Among connection wiring of two, one side is arranged by the 1st wiring layer, and another side is arranged by the 2nd wiring layer. For example, connection wiring of the even-numbered scanning line is arranged by the 1st wiring layer, and connection wiring of the odd-numbered scanning line is arranged as the 2nd wiring layer through the insulating layer on it. And the 1st wiring layer and 2nd wiring layer are insulated by the above-mentioned insulating layer. Thus, since wiring is distributed and arranged by the two-layer wiring layer, wiring spacing of connection wiring arranged in per wiring layer is compared with wiring spacing of connection wiring arranged only in one layer like before. It becomes twice.

[0015] Thus, the former By having wiring spacing of twice as many connection wiring as this, the active-matrix mold liquid crystal display component of this invention can make the incidence rate of the poor short circuit in the production process of connection wiring of the active component substrate, and a poor open circuit able to decrease sharply, and can raise the manufacture yield sharply.

[0016]

[Example] Hereafter, one example of the active-matrix mold liquid crystal display component of this invention is explained to a detail based on a drawing. A target is narrowed down and explained to the active

component substrate which is the main point of this invention especially here.

[0017] Drawing 1 is the top view showing the connection pad connected to connection wiring and this of the signal line of the active-matrix mold liquid crystal display component of this invention.

[0018] Moreover, the cross section in A-A' of this drawing, B-B', and C-C' is shown in drawing 2 (a), drawing 2 (b), and drawing 2 (c), respectively.

[0019] As shown in drawing 1, the active-matrix mold liquid crystal display component of this invention The connection pad 102 of an odd number train connected with the connection wiring 101 of the signal line of an odd number train at the periphery on the active component substrate 110, i.e., the exterior of a pixel field, at this, The connection pad 104 of an even number train connected with the connection wiring 103 of the signal line of an even number train at this, It has the through hole 106 which connects to the connection wiring 103 of the signal line of this even number train the signal line 105 of the even number train extended outside from the pixel field 111, and the through hole 107 which connects the connection pad 104 of an even number train.

[0020] And as shown in the sectional view of drawing 2 (b), the connection wiring 101 of the signal line of an odd number train is arranged for the connection wiring 103 of the signal line of this even number train by the upper layer of the 1st wiring layer as the 1st wiring layer as the 2nd wiring layer through the insulating layer 108 on the front face of an insulating substrate 100.

[0021] Although the connection wiring 103 of the signal line of an even number train is arranged as the 1st wiring layer on the insulating substrate 100 in this way, the signal line 105 of the even number train extended outside from the pixel field which should be connected to this, and the connection pad 104 of an even number train are arranged by the 2nd wiring layer. Then, the insulating layer 108 was penetrated by forming the through hole 107 as shown in the through hole 106 as shows these to drawing 2 (a), and drawing 2 (c), and it has connected with the connection wiring 103 of a signal line.

[0022] On the other hand, connection wiring of the scanning line is also this signal line and this appearance. Two-layer wires.

[0023] Thus, connection wiring of the scanning line of the active-matrix mold liquid crystal display component of this invention, or a signal line d3 which spacing of adjoining wiring in each wiring layer shows to drawing 1 and drawing 2 (b) by being formed in two-layer Spacing d1 in case it becomes like and all wiring like wiring of the conventional technique is installed successively superficially It compares and is abbreviation. It becomes twice as many width of face as this.

[0024] By such configuration, the incidence rate of the poor short circuit in the production process of the connection wiring the active-matrix mold liquid crystal display component of this invention Decreasing about to 1/2, the manufacture yield improves sharply.

[0025] Next, a process is explained for the manufacture approach of the active-matrix mold liquid crystal display component of this invention later on.

[0026] Drawing 3 is drawing showing the production process of the active component substrate of the active-matrix mold liquid crystal display component of this invention.

[0027] First, as shown in (1) of drawing 3, the connection wiring 103 of the signal line of an even number train is arranged as the 1st wiring layer on the insulating substrate 100 which consists of an insulating material like glass. Spacing of contiguity wiring of the connection wiring 103 of the signal line of this even number train is spacing of the conventional wiring, as mentioned above. Probability for that poor short circuit in a production process to occur since it has doubled It becomes about 1/2. Moreover, the gate electrode 201 and the scanning line 202 of TFT are arranged in a pixel field at this time.

[0028] Next, as shown in (2) of drawing 3, an insulating layer 108 is formed after the connection wiring 103 of the signal line of the above-mentioned even number train.

[0029] And on this insulating layer 108, the TFT switching element 203 and the pixel electrode 204 which consist of an a-Si (amorphous silicon) layer etc. as shown in a pixel field (3) of drawing 3 and (4) are formed. And in the exterior of a pixel field, i.e., the periphery of the active component substrate 110, as shown in (5)

of drawing 2, through holes 106 and 107 are drilled in the insulating layer on a connection part with the signal line 105 from the pixel field of the connection wiring 103 of the signal line of the above-mentioned even number train, and a connection part with the connection pad 104 of an even number train. At this time, by the scanning-line side (illustration abbreviation), opening is drilled in the insulating layer on the connection pad arranged by connection wiring of the scanning line, and the connection pad by the side of the scanning line is exposed to the front face of the insulating layer of the active component substrate 110, and will be in the condition in which the contact pin of an external liquid crystal drive circuit and connection are possible. Since the process which drills opening in the insulating layer on such a connection pad has already existed also in the conventional technique, it can drill through holes 106 and 107 within the same process as drilling of this opening. That is, it is not necessary to add independently the process which drills such through holes 106 and 107.

[0030] Next, as shown in (6) of drawing 2, in a pixel field, the signal line 105 of the even number train extended out of a pixel field in a signal line 205 again from the connection wiring 101 of the signal line of an odd number train and a pixel field and the connection pad 104 of an even number train are arranged as the 2nd wiring layer on an insulating layer 108. And by the through hole 106, the signal line 105 of the even number train extended outside from this pixel field arranges the connection pad 104 of an even number train again so that it may connect with the connection wiring 103 of the signal line of an even number train by the through hole 107.

[0031] Spacing of connection wiring which the connection wiring 101 of the signal line of the odd number train arranged by this 2nd wiring layer adjoins is spacing of the conventional connection wiring, as mentioned above. Since it is twice, it is the probability of generating of that poor short circuit. It becomes about 1/2. Moreover, the probability of generating of a poor open circuit also decreases sharply.

[0032] Thus, the active-matrix mold liquid crystal display component of this invention The connection wiring 103 of the signal line of an even number train is arranged as the 1st wiring layer on an insulating substrate 100. The connection wiring 101 of the signal line of an odd number train is arranged as the 2nd wiring layer through an insulating layer 108 on it, and it is on an insulating substrate at the former. Connection wiring which was being arranged in one layer is gone up and down. It is the former about spacing of connection wiring with which it adjoins for each class by distributing and arranging in two-layer. It can take twice.

[0033] On the other hand, connection wiring is similarly gone up and down about a scanning-line side. It is the former about spacing of connection wiring with which it distributes and arranges in two-layer, and adjoins for each class. It can take twice.

[0034] Thereby, the incidence rate of the poor short circuit in the production process of the connection wiring and a poor open circuit can be decreased sharply, and the manufacture yield can be raised by leaps and bounds.

[0035] And a signal line and the scanning line are such. Connection wiring formed in two-layer goes up and down the signal line and the scanning line in a pixel field through an insulating layer so that above-mentioned explanation may also show. The manufacture approach concerning the conventional technique which is arranged in two-layer can be applied also outside a pixel field, and the production process by the conventional membrane formation by the photofabrication technique, conventional etching, etc. can use as it is that what is necessary is just to change the pattern gestalt of the connection wiring and through hole.

[0036] Therefore, it is about a signal line and connection wiring of the scanning line. Since the manufacture yield improves sharply, without adding the special process for forming in two-layer to the conventional process, a manufacturing cost is made cheap by leaps and bounds.

[0037]

[Effect of the Invention] As explained to the detail above, the active-matrix mold liquid crystal display component of this invention is the active-matrix mold liquid crystal display component which also realized fast cheap-ization of a manufacturing cost by solving the problem of the poor short circuit during contiguity

wiring in a signal line and connection wiring of the scanning line, and a poor open circuit, and realizing narrow-ization of spacing of a connection pad, and realizing improvement in the manufacture yield, realizing densification of the pixel of a liquid crystal display component, and high pixel number-ization.